

⑫ 公開特許公報 (A) 昭61-115298

⑬ Int.Cl.⁴
G 11 C 19/28識別記号 庁内整理番号
6549-5B

⑭ 公開 昭和61年(1986)6月2日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 レジスタ回路

⑯ 特願 昭59-236398
⑰ 出願 昭59(1984)11月9日

⑱ 発明者 久保田智晶 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代理人 弁理士 村田幹雄

明細書

1. 発明の名称

レジスタ回路

2. 特許請求の範囲

シフト制御信号により並列入力データとシフト入力データを選択入力し、クロック信号の一方の半サイクルの間このデータを保持する第1のデータ保持回路と、第1のデータ保持回路の出力を入力し、クロック信号の他方の半サイクルの間及びシフト制御信号によりシフト動作を行なつてある間入力したデータを保持し、その出力を並列出力データとする第2のデータ保持回路と、第1のデータ保持回路の出力を入力し、クロック信号の他方の半サイクルの間入力したデータを保持し、その出力をシフト出力データとする第3のデータ保持回路とからなるレジスタ回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はシフト動作機能を有するレジスタ回路に関するものである。

〔従来の技術〕

従来、シフト動作機能を有するレジスタ回路は一般的に、シフト制御信号により並列入力データとシフト入力データを選択入力し、クロック信号の一方の半サイクルの間入力したデータを保持する第1のデータ保持回路と、第1のデータ保持回路の出力を入力し、クロック信号の他方の半サイクルの間そのデータを保持し、その出力を並列出力データ及びシフト出力データとする第2のデータ保持回路により構成されていた。ここで、並列入出力動作(以後ノーマル動作と称す)あるいはシフト動作を行なう場合、シフト制御信号により選択する入力データが異なるので、以後選択されたデータはクロック信号に従い、第1及び第2のデータ保持回路を経て、並列出力データ及びシフト出力データとして送出されるようになっていた。

〔解決すべき問題点〕

上記従来のレジスタ回路にあつては、ノーマル動作あるいはシフト動作を行なう場合、シフト制御信号により選択する入力データが異なるのみで、以後選択されたデータはクロック信号に従い、第1及び第2のデータ保持回路を経て、出力データ及びシフト出力データとして送出されるようになつてゐたため、並列出力データとシフト出力データは同一の内容でありシフト動作を行なつてゐる場合にもシフトされているデータが並列出力に現われることになり、無用なペルスを出力してしまうことになつた。このためにレジスタの出力を例えばメモリ装置の書き込みペルスに使用する場合、シフト動作時に不正な書き込みペルスが発生し記憶内容を書き替えてしまうという事が起つた。

〔問題点の解決手段〕

本発明は、上記従来の欠点を除去し、レジスタ回路の並列出力をシフト動作時にシフト動作前の

値に保持させておきシフト動作終了後に初めてシフト動作により設定した値を出力するようすることにより、シフト動作中においても無用なペルスを出力しないようとするものであつて、その解決のための手段として、シフト制御信号により並列入力データとシフト入力データを選択入力し、クロック信号の一方の半サイクルの間このデータを保持する第1のデータ保持回路と、第1のデータ保持回路の出力を入力しクロックの他方の半サイクルの間及びシフト制御信号によりシフト動作を行なつてゐる間入力したデータを保持しその出力を並列出力データとする第2のデータ保持回路と、第1のデータ保持回路の出力を入力し、クロック信号の他方の半サイクルの間入力したデータを保持しその出力をシフト出力データとする第3のデータ保持回路とからなるレジスタ回路を提供せんとするものである。

〔実施例〕

次に本発明について図面を参照して詳細に説明する。本発明の一実施例を示す第1図において、本発明のレジスタ回路は、シフト制御入力10により並列データ入力12とシフト入力13を選択するセレクタ1と、セレクタの出力を入力としクロック入力11が論理値1であるときにデータを保持するラッチ2と、シフト制御入力10とクロック入力11の反転信号の論理和が1である時に、ラッチ2の出力しているデータを保持するラッチ3と、クロック入力11の反転信号が論理値1であるときにラッチ2の出力しているデータを保持するラッチ4で構成されており、ラッチ3、4の出力はそれぞれ並列データ出力14、シフト出力15である。ここでラッチ2、3、4は同一機能であり、H入力が論理値0のときデータスルー、論理値1のときデータ保持状態となる。

ノーマル動作時にはシフト制御入力10によりセレクタ1は並列データ入力12を選択しており

クロックが入力されるにつれてセレクタ1からのデータはラッチ2、ラッチ3を経て、並列データ出力14へと渡される。この時、ラッチ4はラッチ3と同一の動作をしているが、そのシフト出力は利用していない。次にシフト制御入力10によりシフト動作に変えることによりセレクタ1はシフト入力13を選択し、さらにラッチ3はクロック入力11の値と無関係にデータ保持状態となる。ここでクロックが入力されることによりセレクタ1の出力はラッチ2、ラッチ4を経由してシフト出力15へと渡される。シフト動作を終了する場合にはラッチ2がデータ保持状態で終了するようクロックに注意し、その後シフト制御入力10によりノーマル動作に戻すことによりラッチ3はデータスルーとなり、並列データ出力14にはシフト動作により新たに設定されたデータが出力される。以後ラッチ3は再びクロックに従つて動作する。

〔発明の効果〕

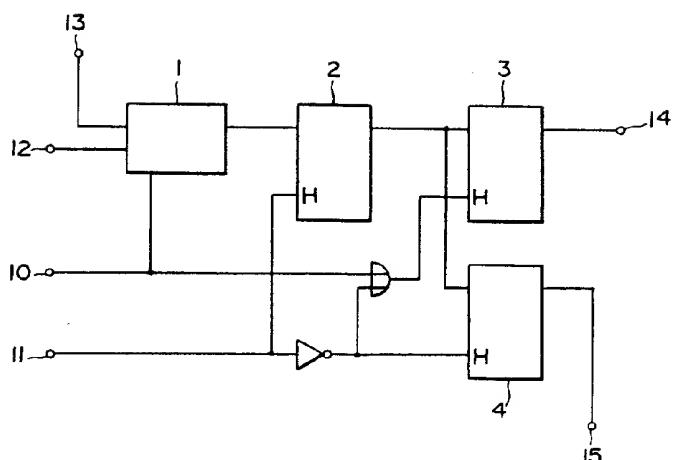
以上説明したように本発明のレジスタ回路は、上述の如き構成としたため、レジスタの出力はシフト動作直前のデータが、シフト動作中保持し続けられ、シフト動作終了後に始めてシフト動作により設定されたデータに変ることになり、何ビットのシフト動作を行なつても無用のパルスを出力しないという効果がある。

4. 図面の簡単な説明

第1図は、本発明の一実施例を示すレジスタ回路のプロック図である。

1 … セレクタ	2~4 … ラッチ
10 … シフト制御入力	11 … クロツク入力
12 … 並列データ入力	13 … シフト入力
14 … 並列データ出力	15 … シフト出力

第二回



出願人　日本電気株式会社